

BES-III TOF 子触发系统触发判选功能在可编程逻辑器件中的实现

郑 伟 刘树彬 刘序宗 安 琪

(中国科学院核探测技术与核电子学重点实验室, 物理电子学安徽省重点实验室,
中国科学技术大学近代物理系 合肥 230026)

摘要 北京正负电子对撞机谱仪的飞行时间计数器触发子系统,需从前端读出电子学接收 368 bits 快时间击中信号,按物理实验要求的触发逻辑产生 7 bits 触发条件信息,实时发送给主触发逻辑,以产生一级触发信号 L1;并向径迹配对逻辑实时发送 136 bits 位置信息,以推算粒子飞行径迹;同时根据 L1 信号对事例进行判选、组装,向 DAQ 系统提供所有有效事例的数据包,以供离线分析。我们对该系统研制秉持可重构的设计理念,大量使用可编程逻辑器件 FPGA,增加设计的灵活性和可靠性,减小印刷电路板设计的复杂度,节省 PCB 布板空间。本文介绍主触发处理 FPGA 中核心触发逻辑功能的设计与实现。

关键词 TOF, 触发判选, FPGA

中图分类号 TL82

触发判选系统对探测器前端电子学输出的数据进行实时的筛选,从大量的本底事例中挑选出物理上感兴趣的事例,以减小数据获取系统的压力^[1]。触发判选系统在尽可能地排除本底事例的同时,还要尽可能不丢掉感兴趣的有效事例。触发电子学系统具有处理数据量庞大、同步要求严格、速度快及实时性高等特点,如何有效、可靠、灵活地实现对大量输入数据的逻辑复杂的触发判选,成为设计一个好的触发系统所面临的挑战。

1 BES-III TOF 子触发系统结构

BES-III(Beijing Spectrometer III)是运行在高亮度、多束团的新一代北京正负电子对撞机(BEPCII)上的大型探测器。飞行时间(TOF)探测器是 BESIII 的四个子探测器之一,采用塑料闪烁体加光电倍增管结构。塑料闪烁体包括分为桶部和端盖:2 层桶部闪烁体,每层 88 块,两端盖各 48 块闪烁体。TOF 子触发系统完成 TOF 探测器击中信息的触发判选,其在 41.7 MHz 的系统时钟下同步接收和处理 34 个光纤通道的 368 bits (包括预留位)的来自 TOF 前端电子学(Front End Electronics)的塑料闪烁体快时间击中信号,将触发处理得到的 7 位触发条件信息实时送往总触发系统,产生一级触发信号 L1;将

136 bits 击中位置信息实时送往径迹配对系统,用于粒子径迹找寻与配对;并在 L1 的控制下对有效事例数据进行判选、组装,所有有效事例的数据包由 Data Acquisition System (DAQ) 系统读出,供离线分析。

TOF 子触发系统集成在一块 VME 9U 插件上,由 11 片可编程逻辑器件 FPGA (Field Programmable Gate Array)构建触发判选等逻辑功能电路(图 1),系统具有很高的集成度。一片 Altera EP1C6Q240C8 用于实现与 VME 总线的通信,并控制 TOF 子触发系统的时序和逻辑。九片 Altera EP1K30QC208 用于击中信号的预处理,包括对经过光纤收发器接收和串/并转换的 34 通道、368 bits 快时间击中信号进行本地时钟同步,并消除因光纤串行通信而引起的数据在接收时间上的不确定性。经预处理 FPGA 处理的击中信号,送入大容量 Altera EP1S40F1020C7 中完成触发条件信息的提取,有效事例的判选,以及对有效事例数据的组装与缓存。EP1S40F1020C7 是 TOF 子触发系统逻辑电路的核心,称为主触发 FPGA。所有 FPGA 中的所有逻辑电路均采用 IEEE 确认(IEEE1076-87 标准)的标准硬件描述语言 VHDL(Very-High-Speed Integrated Circuit Hardware Description Language)设计^[2],用第三方 EDA 软件

国家大科学工程北京正负对撞机升级项目(BEPCII)资助

第一作者:郑伟,男,1983 年出生,2006 年在中国科学技术大学读硕士学位,物理电子学专业,主要从事高速数据的采集和处理研究

通讯作者:安琪

收稿日期:2008-12-30,修回日期:2009-08-13

Synplify 进行分析综合,再由 Altera 公司提供的 EDA 软件 Quartus II 进行布局布线,生成配置文件烧写

入 FPGA, 以实现核心的触发判选功能。

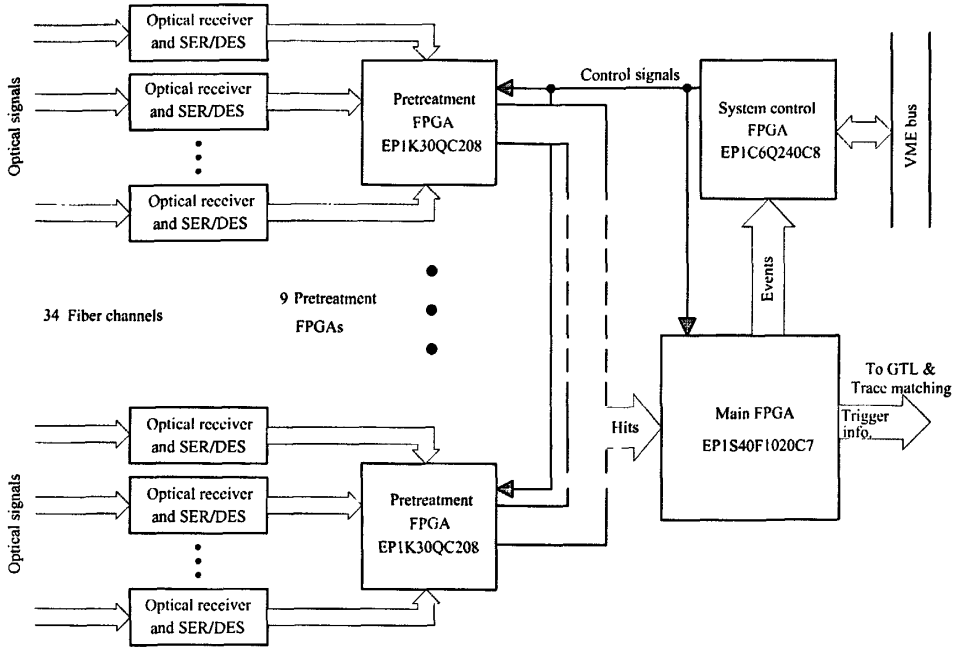


图 1 TOF 子触发系统结构框图
Fig.1 Diagram of TOF Trigger subsystem.

2 主触发逻辑设计

2.1 击中数据通道的选择与对齐

TOF 子触发电子学设计采用 I/O 通道的冗余结构, 光纤数据接收通道数量大于实际需要量, 所以运行时系统须能灵活选择使用哪些光纤接收通道。此外, 若同一物理事例所产生的击中信息未按照正确的时间关系被 TOF 子触发系统接收, 就会造成触发系统产生假触发信号或丢失有效事例, 所以 TOF 触发子系统须采取有效手段保证同一时刻产生的击中信号在同一时刻被触发系统接收。严格而言, 上述两点都属于对接收数据的预调理, 应该是预处理电路所具有的功能, 但考虑到九片 FPGA 间传递信号造成电路板走线复杂, 决定将其后移入主触发处理 FPGA, 利用大规模 FPGA 丰富的片内互连和逻辑资源实现。

2.1.1 光纤数据通道的选择

按 BESIII 设计方案, TOF 子触发系统须从 TOF FEE 接收 28 个光纤通道、272 bits 快时间击中信息。其中 6 个通道(16 bits/通道)来自端盖 TOF 塑料闪烁体, 22 个通道(8 bits/通道)来自桶部 TOF 塑料闪烁体。TOF 子触发系统还须满足 6 个预留光纤通道(16 bits/通道): 28 个光纤接收通道中的一个或数个发生

不可修复的故障时, 可将故障通道上的光纤插到邻近的预留通道上, 同时主触发处理 FPGA 内部进行光纤通道切换。我们采用的光纤收发器支持热插拔, FPGA 内的光纤通道切换命令可通过 VME 总线实时写入, 这种可热切换的硬件冗余结构, 提高了系统的灵活性和可靠性。

光纤数据通道的切换在主触发处理 FPGA 内部用 28 个多路选择器实现。图 2 以某桶部数据接收通道为例, 给出了其中一个多路选择器的示意图。每个多路选择器有 7 路信号输入, 包括默认的光纤数据通道和 6 路预留的光纤数据通道。在默认状态下, 选择默认光纤数据通道送往多路选择器的输出; 当系统发出切换数据通道的命令时, 系统控制模块将 VME 命令译码并将数据通道切换命令通过 8 bits 控制信号送到相应的多路选择器, 多路选择器根据切换命令选择通道数据送往输出。

2.1.2 各通道间击中数据的对齐

传输路径长度不一(如光纤长度差异)会所致各路光纤数据不在同一时钟周期内到达, 为确保同一时刻产生的闪烁体击中信号在同一时刻被触发系统接收(即数据对齐), 该 TOF 子触发系统进行正常数据中插入约定的对齐码串检查, 以完成各通道的数据对齐^[3]。

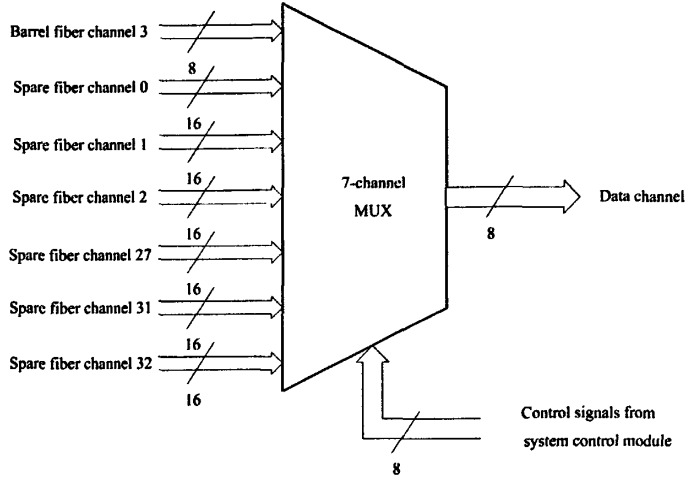


图 2 桶部数据接收通道的通道切换多路选择器
Fig.2 MUX for barrel data channel selection.

具体做法是：当需要强制对齐时，总触发同时向 TOF FEE 插件和 TOF 子触发插件发出系统光纤复位信号 FRST，TOF FEE 的各后插传输插件在接收到 FRST 后，在正常的数据流中插入一串特殊的对齐码。主触发处理 FPGA 为每个光纤通道的数据设置了一个对齐 FIFO (First In First Out) 作为延时可控的数据缓存，数据在本地时钟的控制下写入和读出。接收正常数据时，对齐 FIFO 的写许可 (Write-enable) 和读许可 (Read-enable) 一直有效，数据进入 FIFO 后经延时被读出。TOF 子触发系统在接收到 FRST 后，各光纤接收通道在各对齐 FIFO 的读出端检查读出的数据，当检查到正确的对齐码串后，关闭该对齐 FIFO 的读许可，等待同时读出信号的到来。当所有光纤通道都正确接收到对齐码串后，所有通道对齐 FIFO 的读许可在同一时刻有效，这样从各对齐 FIFO 读出的数据就是严格对齐的。各通道数据对齐功能框图如图 3 所示。

对齐 FIFO (以及本文其他 FIFO) 采用 Altera 公司的参数化宏函数 (Megafunction) dcfifo 例化实现^[4]，其广泛应用于系统间通信的数据缓冲和不同时钟域间的数据同步。采用 FPGA 芯片商或 EDA 公司提供的 IP 模块，可节省设计时间，也可获得有效的逻辑综合和器件实现。

2.2 触发信息的获取

TOF 子触发系统需要获取的触发信息包括^[5]：

(1) TOF 击中数信息：系发生粒子碰撞的标志，且以参与判选带电粒子。分为桶部和端盖两部分，桶部 2 bits (桶部 $N \geq 1$ 和桶部 $N \geq 2$)，端盖 2 bits (端盖 $N \geq 1$ 和端盖 $N \geq 2$)；

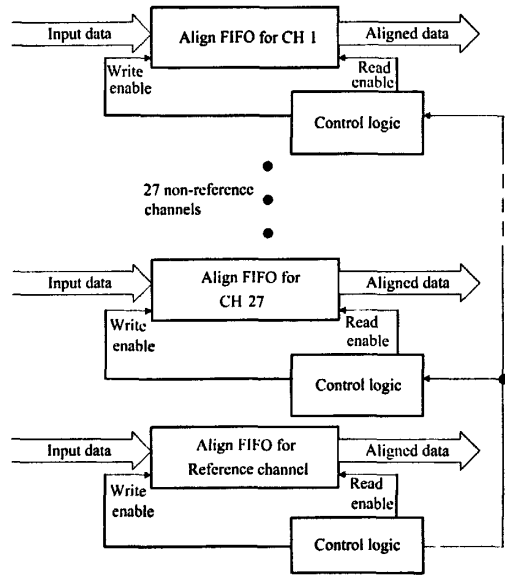


图 3 数据对齐功能框图
Fig.3 Diagram of data alignment.

(2) TOF 背对背信息：主要用于确定带韧致辐射的 Bhabha 事例。包括桶部背对背信息 1 bit、端盖背对背信息 1 bit 以及桶部和端盖之间的背对背信息 1 bit；

(3) TOF 位置信息：给出了击中闪烁体的位置信息，参与径迹配对与寻找，以及确定碰撞产生的次级粒子的飞行方向。包括端盖 48 bits 和桶部 88 bits。

整个 TOF 触发判选处理过程工作在时钟周期为 24 ns 的流水线模式，TOF 子触发系统确保无死时间，事例不会丢失。

2.2.1 消除不确定现象

由于不同粒子飞行快慢不同,不同的 TOF 探测器位置与粒子对撞点距离不同,以及击中同一闪烁体单元的粒子距信号收集端(光电倍增管)距离不同等原因,会使 TOF 前端电子学各探测器得到的同一次对撞的击中信息时间有所差异。TOF 击中信号本身存在最大 30 ns 的不确定范围^[1],同一次对撞的不同探测器击中信息可能出现在不同时刻。

在 TOF 子触发系统中采用所有通道相邻 3 个周期的击中信息相或(击中信息高电平有效)的方式消除 TOF 击中信息不确定性,通过有限状态机实现,如图 4 所示。

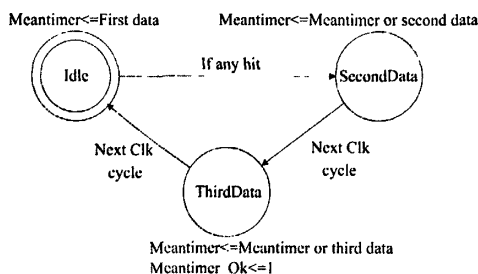


图 4 获得稳定击中信号的状态转换
Fig.4 State transition for obtaining stable hit signals.

系统开始工作后有限状态机处于 Idle 状态,每个周期都把前级处理电路送过来的同步击中信息赋值给中间信号 Meantimer。一旦有击中发生,就跳到第二个状态,同时 Meantimer 信号与第二个时钟周期的击中信号相或。紧接着跳到第三个状态,Meantimer 信号继续与第三个时钟周期的击中信号相或,得到 MeantimeOK 击中信号,然后跳回 Idle 状态,等待下一个击中发生。这样得到的便是相邻三个时钟周期相或的击中信息(MeantimeOK),消除了击中信息出现时刻不确定性带来的影响。由于有限状态机循环运行,故不会引入死时间。

2.2.2 获取触发信息

TOF 子触发的触发逻辑需要对大量击中数据进行逻辑运算,以获得位置信息、背对背信息和击中数信息。采用组合逻辑电路来实现 MeantimerOk 信号的各种逻辑运算以获得触发信息,来减少系统的处理延时。同时在组合逻辑完成后对获得的触发信息中间变量进行锁存,以消除组合逻辑电路的竞争冒险带来的不稳定现象。

组合逻辑电路同样会产生延时,须确保其延时不会导致时序电路的逻辑错误。组合逻辑处理电路的输出到达寄存器电路后,需要满足寄存器的建立时间和保持时间要求。根据获取位置信息、背对背、

击中数等不同触发信息的逻辑复杂程度不同,将整个触发信息获得流程分在 3 个时钟周期进行。获得位置信息的逻辑较简单,在第一周期即可实现;背对背信息的逻辑较为复杂,在第二周期得到;击中数信息由于需要对相邻 TOF 探测器连续击中进行合并处理,在第三周期才能获得。图 5 表示了获得触发信息的流程。

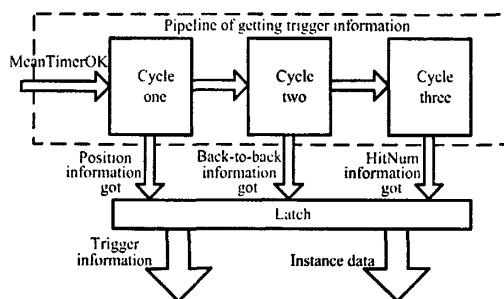


图 5 触发信息获取流程
Fig.5 Trigger information acquisition process.

2.3 触发数据的判选

触发数据的判选过程如图 6 所示,采用多级流水线 FIFO 串联的形式进行数据缓冲和处理,以消除处理的死时间。由于对于每次有效对撞,来自总触发系统的一级触发信号 L1 会有约 6.4 μs 的延时^[5],须对触发信息以及对应的系统状态进行缓冲延时,此由延时 FIFO 实现。FIFO 宽度为 312 bits,包括击中信息、击中位置信息、触发条件信息以及系统状态和相关设置参数等,还有一定的预留信息作备份。系统时钟周期为 24 ns,则延时 FIFO 的深度至少为 6.4 μs/24 ns=256。但是由于 L1 信号本身有一定的晃动,最大晃动区间为中心值左右各 0.25 μs。实际设计时延时 FIFO 深度为 384,可容纳多达 3.2 μs 的 L1 晃动范围。

为避免因 L1 信号晃动而影响触发数据的判选,每个 L1 到来时,在一定宽度的时间窗口范围内找寻感兴趣的有效事例数据。设时间窗口宽度为 L1 延时值左右各 M 个时钟周期,每次 L1 信号到来以后,须把[L1 延时值-M, L1 延时值+M]区间内的触发事例信息数据读出并在其中寻找感兴趣的有效触发事例数据。对于 L1 的左右各 0.25 μs 的最大晃动,窗口半宽最大设为 M=16 可确保不丢失触发事例数据。为实现这一开窗功能,延时 FIFO 在系统命令启动触发处理后就一直处于可写入状态,每个时钟周期到来的触发信息均被写入。但延时 FIFO 在触发处理启动后并不马上开启数据读出,而是等到 L1 延时值+M 个时钟周期后再开始往外读数据。这样

当 L1 信号到来时,从延时 FIFO 读出的数据就是 L1 延时值+M 个时钟周期之前时刻所对应的触发数据。若无 L1 到来,读出的触发事例数据就被丢弃;若有 L1 到来,则将时间窗口内的数据读入下一级

暂存 FIFO。此过程将持续 2M+1 个周期。暂存 FIFO 深度设计为 32,对于最大左右各 16 个时钟周期的时间窗宽度,可满足数据暂存容量的需求,不会造成数据遗漏。

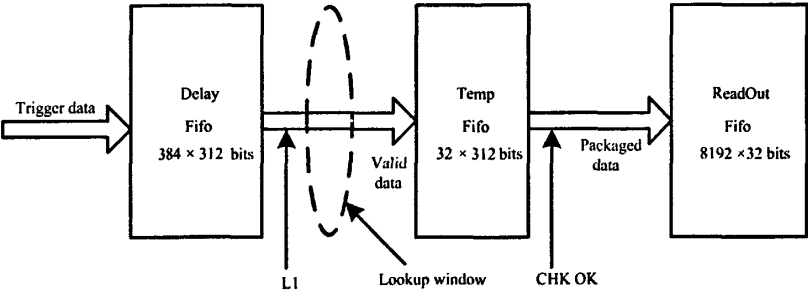


图 6 触发数据的判选流程
Fig.6 Trigger data collection process.

将有效触发事例数据缓存,是为了总触发进行 L1 触发号检测。为统一系统信息,总触发系统每发出第 256 个 L1 信号后的 500 ns,将发送一个 CHK 信号对触发号计数器进行检测,以免某些模块 L1 信号接收错误。CHK 信号用于检测各子触发系统在第 256 个 L1 信号到来后其触发号计数器的计数值是否正常(正常值为 0),另一方面,各子触发系统不论触发号计数器的计数值是否正常,都将在检测后强制性地使触发号计数器复位为 0。

读出的有效触发事例数据和触发号计数器检查结果按照一定的数据格式打包,在一般工作模式下,一个数据包含 16 个 32 bits 的长字(Double Word)。第一个长字是包含 TOF 子触发插件在 VME 机箱中的地理地址、数据包长度、触发号以及触发号计数器检查结果等信息的数据包头 1,用于 DAQ 系统在线辨别和读取数据包。第二个长字是包含 TOF 子触发插件所在机箱编号、TOF 子触发插件编号、数据读取窗口宽度以及 TOF 子触发系统工作模式等信息的数据包头 2,用于离线物理数据的分析。随后的 14 个长字是包含 TOF 触发条件信息、TOF 击中位置信息和 TOF 子触发系统工作状态信息的有效事例数据。有效事例数据包存入读出 FIFO 缓存,等待 DAQ 系统的读出指令。有效事例数据包采用 D32 的 CBLT 方式读出,所以读出 FIFO 宽度为 32 bits。读出 FIFO 深度设计为 8192,足以满足至少能缓存 256 个有效事例的系统需求。当读出 FIFO 里每存储 16 个有效事例数据时,DAQ 系统会发出 CBLT 读命令,读出 FIFO 里的数据在系统控制 FPGA 的控制下,通过系统控制 FPGA 内部的 VME 总线接口模块被读出。

3 结论

BES-III TOF 子触发系统的设计秉持可重构的设计理念,大量使用可编程逻辑器件实现了这一目标。目前大容量的可编程逻辑器件已达百万门量级以上,完全可胜任复杂的触发处理。相对于分立器件,使用 FPGA 等可编程逻辑器件来实现复杂的逻辑电路可大大增加系统集成度,减少系统对于空间的要求,使整个系统可在单块 PCB 上实现,利于设计开发和系统维护。另外,基于可编程逻辑器件的设计大大提高了逻辑设计的灵活性和系统的可升级性,只需要改变烧写到可编程逻辑器件的硬件逻辑,便可以改变或增加系统的逻辑功能,而不需要改变系统的硬件结构。与此同时,高集成度设计可有效,增加 I/O 通道的冗余结构,增强了系统的可靠性。

BES-III TOF 子触发系统与 TOF 探测器、总触发和 DAQ 进行小系统联调,初步验证了其逻辑功能。子系统已于 2007 年 11 月安装到北京谱仪上,并与其他探测器和子系统一起进行了宇宙线试验。在宇宙线试验中,TOF 子触发给出的各触发条件信息的频率如表 1 所列,与物理估算基本吻合。宇宙线试验期间 DAQ 系统显示的某次单个宇宙线 TOF 桶部背对背击中事例如图 7 所示,当桶部某个闪烁体和与之正对的 13 个闪烁体范围内同时有击中发生时,TOF 桶部背对背事例被触发,TOF 触发逻辑符合相应的物理要求。目前 TOF 子触发系统已在 BES-III 上有效、稳定地运行了近两年。2009 年 7 月 17 日,包含 TOF 子触发系统在内的整个 BECPⅡ/BESⅢ 工程通过了国家发改委组织的国家验收,也充分说明了本系统设计的正确。

表 1 宇宙线试验中 TOF 各触发条件信号的发生频率
Table 1 Event frequency of trigger conditions
in cosmic ray experiment.

TOF trigger conditions	Frequency /Hz
Barrel $N \geq 1$	~600
Barrel $N \geq 2$	~330
Barrel B-to-B	~90
End cap $N \geq 1$	~1000
End cap $N \geq 2$	~50
End cap B-to-B	<1



图 7 宇宙线 TOF 桶部背对背击中的单事例显示
Fig.7 Single event demonstration of barrel B-to-B
in cosmic ray experiment.

参考文献

1 刘序宗. BESIII TOF 子触发系统的设计与实现. 中国科学技术大学博士论文, 2007. 105
LIU Xuzong. Design and Implementation of TOF Trigger System at BESIII. thesis for USTC PhD's degree, 2007. 105

2 Ashenden P J. The Designer's Guide to VHDL. Second Ed. 2005

3 中国科学技术大学快电子学实验室. TOF 子触发系统研制报告, V1.0. 2008. 65
Fast Electronics Lab. USTC. Design Report of TOF Trigger System, Version 1.0. 2008. 65

4 Altera Corporation. Single-& dual-Clock FIFO megafunction user guide, V3.2. 2005.
<http://www.altera.com>

5 北京正负电子对撞机重大改造工程初步设计.
<http://www.ihep.ac.cn>
Design Report of BEPCII/BESIII. <http://www.ihep.ac.cn>

Implementation of BES-III TOF trigger system in programmable logic devices

ZHENG Wei LIU Shubin LIU Xuzong AN Qi

(Key Laboratory of Technologies of Particle Detection & Electronics, Chinese Academy of Sciences,
Anhui Key Laboratory of Physical Electronics,
Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract The TOF trigger sub-system on the upgrading Beijing Spectrometer is designed to receive 368 bits fast hit signals from the front end electronics module to yield 7 bits trigger information according to the physical requirement. It sends the processed real time trigger information to the Global-Trigger-Logic to generate the primal trigger signal L1, and sends processed 136 bits real time position information to the Track-Match-Logic to calculate the particle flight tracks. The sub-system also packages the valid events for the DAQ system to read out. Following the reconfigurable concept, a large number of programmable logic devices are employed to increase the flexibility and reliability of the system, and decrease the complexity and the space requirement of PCB layout. This paper describes the implementation of the kernel trigger logic in a programmable logic device.

Key words TOF, Trigger, FPGA

CLC TL82